

**SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND
MANUFACTURE THEREOF**

Patent Number: JP2000124352
Publication date: 2000-04-28
Inventor(s): KIKUCHI TAKU; YAMAGUCHI EIJI
Applicant(s): HITACHI LTD
Requested Patent: ☐ JP2000124352 (JP00124352)
Application Number: JP19980299618 19981021
Priority Number(s):
IPC Classification: H01L23/12 ; H01L25/00
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To eliminate the need of extension lines from a conductor layer to pads, avoid increase in the parasitic inductance and suppress the variation of power voltages by burying a chip capacitor for suppressing the power voltage variation in a package mounting board.
SOLUTION: A chip capacitor C is buried in the interior of a package board S, and metal electrodes 2 provided above and below the chip capacitor C are adhered to a conductor layer 3 provided in the package board S to connect the capacitor C between a power source and ground. To reduce the parasitic inductance, the capacitor C is disposed just or near beneath a region A on which a semiconductor chip is mounted. The capacitor C has a structure having an insulation layer 1 made of a ceramic, org. material, etc. sandwiched between the metal electrodes 2 and a thickness of about 100-200 μ m. Thus, the need of extension lines from the conductor layer 3 to pads can be eliminated to avoid increasing the parasitic inductance and suppress the variation of power voltages.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-124352
(P2000-124352A)

(43) 公開日 平成12年4月28日 (2000. 4. 28)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 L 23/12		H 0 1 L 23/12	B
25/00		25/00	B

審査請求 未請求 請求項の数 9 O L (全 5 頁)

(21) 出願番号 特願平10-299618

(22) 出願日 平成10年10月21日 (1998. 10. 21)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 菊池 卓

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(72) 発明者 山口 栄次

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

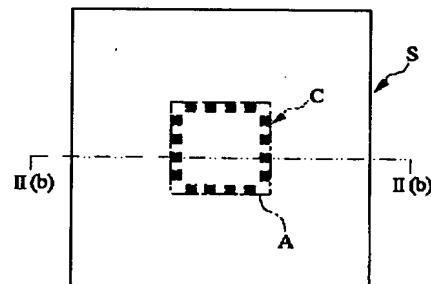
(57) 【要約】

【課題】 高密度配線を有し、信頼性の高いパッケージ基板またはパッケージ実装基板を実現することのできる技術を提供する。

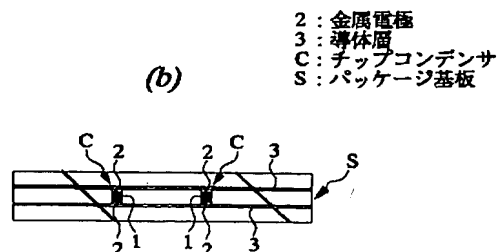
【解決手段】 チップコンデンサCをパッケージ基板Sの内部に埋め込み、チップコンデンサCの上下に設けられた金属電極2をパッケージ基板Sの内部に設けられた導体層3に接着する。

図 2

(a)



(b)



【特許請求の範囲】

【請求項1】 電源供給ラインの電圧レベルの変動を抑えるチップコンデンサが、パッケージ基板またはパッケージ実装基板の内部に埋め込まれていることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置において、前記チップコンデンサは、電源とグランドとの間に設けられていることを特徴とする半導体集積回路装置。

【請求項3】 請求項1記載の半導体集積回路装置において、前記チップコンデンサは、絶縁層の上下を電極で挟んだ構造を成しており、前記電極は、パッケージ基板またはパッケージ実装基板の内部に設けられた導体層に接着されていることを特徴とする半導体集積回路装置。

【請求項4】 請求項1記載の半導体集積回路装置において、前記チップコンデンサは、半導体チップが搭載される領域の直下または直下近傍のパッケージ基板の内部、またはパッケージが搭載される領域の直下または直下近傍のパッケージ実装基板の内部に配置されていることを特徴とする半導体集積回路装置。

【請求項5】 請求項3記載の半導体集積回路装置において、前記絶縁層は、セラミックまたは有機系材料によって構成されていることを特徴とする半導体集積回路装置。

【請求項6】 電源供給ラインの電圧レベルの変動を抑えるチップコンデンサが埋め込まれたパッケージ基板またはパッケージ実装基板を形成する半導体集積回路装置の製造方法であって、(a). 接着剤が両面に設けられた第1の基板に前記チップコンデンサを埋め込む穴を開ける工程と、(b). 前記穴に前記チップコンデンサを埋め込む工程と、(c). 導体層が少なくとも片面に設けられた第2の基板を前記第1の基板の両面に貼り合わせて、前記第2の基板の導体層と前記チップコンデンサの電極とを接着する工程とを有することを特徴する半導体集積回路装置の製造方法。

【請求項7】 電源供給ラインの電圧レベルの変動を抑えるチップコンデンサが埋め込まれたパッケージ基板またはパッケージ実装基板を形成する半導体集積回路装置の製造方法であって、(a). 導体層が両面に設けられた第1の基板に前記チップコンデンサを埋め込む穴を開ける工程と、(b). 前記穴に前記チップコンデンサを埋め込む工程と、(c). 前記第1の基板の導体層と前記チップコンデンサの電極とをメッキにより接続する工程とを有することを特徴する半導体集積回路装置の製造方法。

【請求項8】 請求項6記載の半導体集積回路装置の製造方法において、前記第1の基板および前記第2の基板は、エポキシ系樹脂が含浸されたガラスクロス、またはセラミックによって構成されていることを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項6記載の半導体集積回路装置の製

造方法において、前記第1の基板と前記第2の基板とは、熱圧着によって貼り合わされることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、半導体チップを実装するパッケージ基板およびパッケージ実装基板（マザーボード）に適用して有効な技術に関するものである。

【0002】

【従来の技術】半導体チップのトータル電流が増加することによって、電源線のインダクティブなノイズを制御することが、非常に難しくなっている。ボード配線、ピン、ボンディング配線および半導体集積回路の配線は、すべて寄生インダクタンスをもつため、インダクタを流れている電流が変化すると、インダクタンスと電流の変化率に比例してインダクタの両端で電圧変動が発生する。この結果、回路がオンおよびオフする時に電源供給ラインの電圧レベルが変動する。上記ノイズは同時切替ノイズ（Simultaneous switching noise）と呼ばれ、特に、クロック周期の最初に大きなサージ電流を必要とする半導体集積回路においては、同時切替ノイズを減少させて電源供給レベルの変動を抑えることが重要になっている。

【0003】同時切替ノイズを減少させる方法の一つに、大容量で自己インダクタンスの小さいチップコンデンサを半導体チップに隣接して配置させる方法がある。上記チップコンデンサは、信号が変化しないときに充電され、スイッチング時の電源供給レベルが安定するまでの間、瞬間的に電源供給の役割を果たし半導体チップに電荷を供給する。これによって、電源電圧の変動を小さくすることが可能となる。

【0004】なお、チップコンデンサに関しては、例えば丸善株式会社発行「VLSIシステム設計」平成7年3月30日発行、P325～P326に記載されており、チップコンデンサをパッケージ基板に搭載したMMXテクノロジーPentium プロセッサが、株式会社プレスジャーナル発行「月刊セミコンダクタ・ワールド（Semiconductor World）」1997年3月号、P56に記載されている。

【0005】

【発明が解決しようとする課題】しかしながら、本発明者が検討したところによると以下の問題点があることを見いだした。

【0006】前記チップコンデンサは、半導体チップと接続される線路とのインダクタンスを小さくするために、半導体チップに隣接して置かれる。しかし、パッケージ基板のチップ搭載面にチップコンデンサを載せると、チップコンデンサが設けられる領域には配線が配置できず、また、パッケージ基板の内部の導体層からチップコンデンサ用のパッドまでの引き回し配線が必要とな

ることから、配線密度が低下する。さらに、パッケージ基板の内部の導体層からチップコンデンサ用のパッドまで配線を延在させるために、寄生インダクタンスが増加してノイズによる電源電圧の変動を抑える効果が低減する。

【0007】本発明の目的は、高密度配線を有し、信頼性の高いパッケージ基板またはパッケージ実装基板を実現することのできる技術を提供することにある。

【0008】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。すなわち、

(1) 本発明の半導体集積回路装置は、電源供給ラインの電圧レベルの変動を抑えるチップコンデンサが、パッケージ基板またはパッケージ実装基板の内部に埋め込まれているものである。

【0010】(2) また、本発明の半導体集積回路装置の製造方法は、電源供給ラインの電圧レベルの変動を抑えるチップコンデンサが埋め込まれたパッケージ基板またはパッケージ実装基板を形成する際、まず、接着剤が両面に設けられた第1ガラスクロスにチップコンデンサを埋め込む穴を開けた後、この穴に絶縁層の上下を金属電極で挟んだ構造を成すチップコンデンサを埋め込み、次いで、導体層が少なくとも片面に設けられた第2ガラスクロス第1ガラスクロスの両面に貼り合わせて、第2ガラスクロスの導体層とチップコンデンサの金属電極とを接着するものである。

【0011】上記した手段によれば、チップコンデンサをパッケージ基板またはパッケージ実装基板に内蔵することによって、チップコンデンサを搭載するチップコンデンサ用のパッドがチップ搭載面またはパッケージ搭載面に不要となり、さらに、パッケージ基板またはパッケージ実装基板の内部の導体層からチップコンデンサ用のパッドまでの引き回し配線が不要となることから、チップ搭載面およびパッケージ基板の内部、またはパッケージ搭載面およびパッケージ実装基板の内部における配線の高密度化が可能となる。また、パッケージ基板またはパッケージ実装基板の内部の導体層からチップコンデンサの電極までの距離が短いので、寄生インダクタンスの増加が抑えられてノイズによる電源供給ラインの電圧レベルの変動を抑えることができる。

【0012】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0013】図1は、本発明の一実施の形態であるチップコンデンサの要部断面図を示し、図2は、本実施の形態であるチップコンデンサを内蔵したパッケージ基板の

概略図を示す。図2(a)は基板の要部平面図であり、図2(b)は同図(a)のII(b)-II(b)線におけるパッケージ基板の要部断面図である。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0014】図1に示すように、チップコンデンサCは、セラミックまたは有機系材料などからなる絶縁層1を金属電極2で挟んだ構造を成しており、チップコンデンサCの厚さは約100~200 μ m程度である。上記金属電極2は、例えば銅(Cu)または銀(Ag)によって構成される。

【0015】チップコンデンサCは、図2に示すように、パッケージ基板Sの内部に埋め込まれており、チップコンデンサCの上下に設けられた金属電極2を、パッケージ基板Sの内部に設けられた導体層3に接着することによって、チップコンデンサCは電源とグランドとの間に接続される。また、寄生インダクタンスを低減するために、チップコンデンサCは半導体チップが搭載される領域Aの直下または直下近傍に配置される。

【0016】次に、ビルドアップ配線板のコアとして用いられる4層の導体層を備えたプラスチックパッケージ基板に前記チップコンデンサCを内蔵する方法を図3~図6を用いて説明する。

【0017】まず、図3に示すように、エポキシ系樹脂を含浸させたガラスクロス4aの上面および下面に、シート状または液状の接着剤5が設けられた基板PS₁を用意し、この基板PS₁のチップコンデンサCが埋め込まれる領域に穴6を開ける。次いで、図4に示すように、上記穴6にチップコンデンサCを埋め込む。

【0018】次に、図5に示すように、エポキシ系樹脂を含浸させたガラスクロス4bの上面および下面に、導体層3が設けられた基板(以下、2層板と称す)PS₂を2枚用意し、基板PS₁と2層板PS₂との位置合わせを行う。

【0019】この後、図6に示すように、基板PS₁の上面と下面とに2層板PS₂を250℃以下の熱圧着により貼り合わせることによって、チップコンデンサCが内蔵されたプラスチックパッケージ基板PS_cが形成される。チップコンデンサCの金属電極2と導体層3との接続は、チップコンデンサCの周辺の接着剤の接着力および熱収縮によって行われる。

【0020】なお、前記2層板PS₂をプラスチックパッケージ基板PS_cとして用いる場合には、2層板PS₂にチップコンデンサCを埋め込む穴6を開けた後、この穴6にチップコンデンサCを埋め込み、次いで、メッキなどによってチップコンデンサCの金属電極2と2層板PS₂の導体層3とを接続することにより、チップコンデンサCが内蔵されたプラスチックパッケージ基板PS_cが形成される。

【0021】図7は、本発明を適用したBGA(Ball G

10

20

30

40

50

rid Array) 構造のプラスチックパッケージの要部断面図を示す。BGA基板7のチップ搭載面上にバンパ電極8を介在してフェースダウン(Face Down)方式で半導体チップ9が実装され、BGA基板7と半導体チップ9との隙間部に絶縁樹脂10が充填されている。さらに、BGA基板7は約700 μ m程度の直径を有するバンパ電極11を介在してマザーボード(図示せず)に実装されている。

【0022】半導体チップ9が搭載された領域の直下または直下近傍のBGA基板7の内部にはチップコンデンサCが内蔵された前記プラスチックパッケージ基板PScが配置されており、それ以外の領域のBGA基板7の内部にはチップコンデンサCが内蔵されていないプラスチックパッケージ基板PSが配置されている。

【0023】プラスチックパッケージ基板PSは、ガラスクロス4aの両面に接着剤5が設けられた基板PS₁とガラスクロス4bの両面に導体層3が設けられた2層板PS₂とを用意し、基板PS₁の両面に2層板PS₂を熱圧着により貼り合わせることで形成される。

【0024】このように、本実施の形態によれば、チップコンデンサCをパッケージ基板Sに内蔵することによって、チップコンデンサCを搭載するチップコンデンサ用のパッドがチップ搭載面に不要となり、さらに、パッケージ基板Sの内部の導体層3からチップコンデンサ用のパッドまでの引き回し配線が不要となることから、チップ搭載面およびパッケージ基板Sの内部における配線の高密度化が可能となる。また、パッケージ基板Sの内部の導体層3からチップコンデンサCの金属電極2までの距離が短いので、寄生インダクタンスの増加が抑えられてノイズによる電源供給ラインの電圧レベルの変動を抑えることができる。

【0025】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0026】例えば、前記実施の形態では、プラスチックパッケージ基板にチップコンデンサを内蔵した場合について説明したが、セラミックパッケージ基板にチップコンデンサを内蔵してもよく、同様な効果が得られる。

【0027】また、前記実施の形態では、BGA構造のプラスチックパッケージを構成するパッケージ基板に適用した場合について説明したが、チップコンデンサを必要とするいかなるパッケージ基板またはパッケージ実装基板に適用可能である。

【0028】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0029】本発明によれば、チップコンデンサをパッ

ッケージ基板またはパッケージ実装基板に内蔵することによって、チップ搭載面またはパッケージ搭載面におけるチップコンデンサ用のパッド、およびパッケージ基板またはパッケージ実装基板の内部の導体層からチップコンデンサ用のパッドまでの引き回し配線が不要となり、さらに、寄生インダクタンスの増加が抑えられてノイズによる電源電圧の変動を抑えることができるので、高密度配線を有し、信頼性の高いパッケージ基板またはパッケージ実装基板を実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるチップコンデンサの要部断面図である。

【図2】(a)は本発明の一実施の形態であるパッケージ基板の要部概略平面図であり、(b)は(a)のII(b)-II(b)線におけるパッケージ基板の要部概略断面図である。

【図3】本発明の一実施の形態であるチップコンデンサを内蔵した基板の製造方法を示すプラスチックパッケージ基板の要部断面図である。

【図4】本発明の一実施の形態であるチップコンデンサを内蔵した基板の製造方法を示すプラスチックパッケージ基板の要部断面図である。

【図5】本発明の一実施の形態であるチップコンデンサを内蔵した基板の製造方法を示すプラスチックパッケージ基板の要部断面図である。

【図6】本発明の一実施の形態であるチップコンデンサを内蔵した基板の製造方法を示すプラスチックパッケージ基板の要部断面図である。

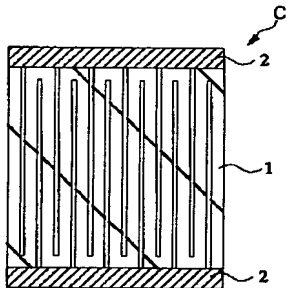
【図7】本発明を適用したBGA基板の要部断面図である。

【符号の説明】

- 1 絶縁層
- 2 金属電極
- 3 導体層
- 4a ガラスクロス
- 4b ガラスクロス
- 5 接着剤
- 6 穴
- 7 BGA基板
- 8 バンパ電極
- 9 半導体チップ
- 10 絶縁樹脂
- 11 バンパ電極
- C チップコンデンサ
- S パッケージ基板
- PS プラスチックパッケージ基板
- PS₁ 基板
- PS₂ 2層板
- PSc プラスチックパッケージ基板
- A 半導体チップが搭載される領域

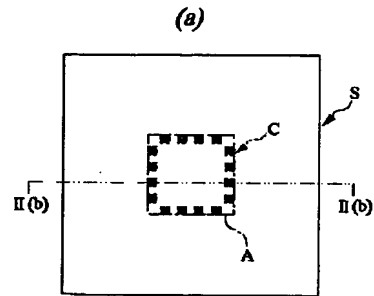
【図1】

図 1



【図2】

図 2



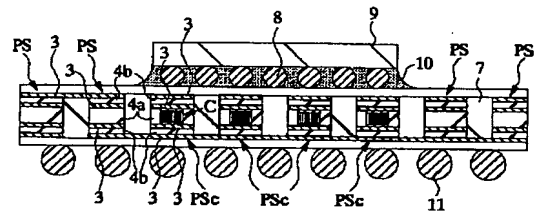
(b)



2 : 金属電極
3 : 導体層
C : チップコンデンサ
S : パッケージ基板

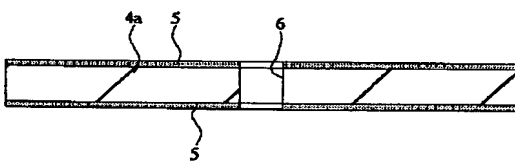
【図7】

図 7



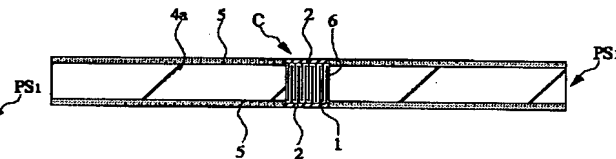
【図3】

図 3



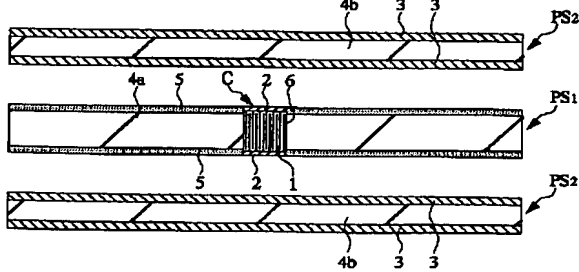
【図4】

図 4



【図5】

図 5



【図6】

図 6

